

В ходе выполнения лабораторных работ студенты знакомятся с характеристиками цифровых интегральных схем наиболее распространенных семейств ТТЛ и КМОП логики, изучают функционирование микросхем малой и средней степени интеграции и методы управления режимами работы этих микросхем. Поскольку лабораторные работы проводятся в том же семестре, что и чтение лекций, каждая работа сопровождается минимумом сведений, необходимых для понимания смысла работы. Однако при подготовке необходимо пользоваться рекомендованной литературой.

Составил канд. физ.-мат. наук, доцент В.К. Макуха

Рецензенты канд. физ.-мат. наук, доцент Л.Н. Гуськов,
канд. техн. наук, доцент Ю.Ф. Ерофеев

Работа подготовлена кафедрой электронных приборов

Цель работы

Для правильного понимания работы сложных цифровых узлов и схем необходимо иметь четкое представление о принципах работы простейших цифровых элементов - вентилях. Целью лабораторной работы № I является изучение характеристик наиболее распространенных логических вентилях и реализация с их помощью простых логических функций.

Общие сведения

Математическим аппаратом, используемым в цифровой схемотехнике, является двузначная булева алгебра (алгебра логики), оперирующая с двумя значениями переменных - истина/ложь (1 и 0). Ниже приведены основные теоремы булевой алгебры

$$\begin{aligned} \overline{\overline{X}} &= X && \text{- закон двойного отрицания} \\ X + Y &= Y + X \quad X \cdot Y = Y \cdot X && \text{- закон коммутативности} \\ (X+Y)+Z &= X+(Y+Z) = X+Y+Z && (X \cdot Y) \cdot Z = X \cdot (Y \cdot Z) = X \cdot Y \cdot Z \text{ -} \\ &&& \text{закон ассоциативности} \\ X+Y \cdot Z &= (X+Y) \cdot (X+Z) \quad X(Y+Z) = X \cdot Y + X \cdot Z && \text{-} \\ &&& \text{закон дистрибутивности} \\ \overline{X+Y} &= \overline{X} \cdot \overline{Y} \quad \overline{X \cdot Y} = \overline{X} + \overline{Y} && \text{- закон де Моргана} \\ X + \overline{X} \cdot Y &= X + Y && X \cdot (X + Y) = X && \text{- закон поглощения} \\ X + \overline{X} \cdot \overline{Y} &= X + \overline{Y} && X \cdot (\overline{X} + Y) = X \cdot Y \\ \overline{0} &= 1 && \overline{1} = 0 \\ X + 0 &= X && X \cdot 0 = 0 \\ X + 1 &= 1 && X \cdot 1 = X \\ X + X &= X && X \cdot X = X \\ X + \overline{X} &= 1 && X \cdot \overline{X} = 0 \end{aligned}$$

Здесь используется 3 логические операции: "." - логическая операция И (логическое умножение), "+" - логическая операция ИЛИ (логическое сложение), черта над символом означает логическую операцию НЕ (отрицание, дополнение).

Функция $F(X_0, X_1, \dots, X_N)$, определяемая на наборах входных двоичных переменных X_0, X_1, \dots, X_N и принимающая в качестве своих возможных значений 0 или 1, называется логической функцией. Логические функции обычно записываются или в виде аналитических выражений (булевых выражений), или с помощью таблиц истинности.

Наиболее наглядное представление дают таблицы истинности. В левых колонках этих таблиц записываются все возможные сочетания значений аргументов XK ($0 < K < N$), а в правой - значение функции, соответствующее данным значениям аргументов. Пример записи трех логических операций: И (дизъюнкция), ИЛИ (конъюнкция), НЕ (инверсия) в аналитическом виде, в виде таблиц истинности и графическое обозначение логических элементов (вентилей), реализующих эти операции, показан на рис. I.1.

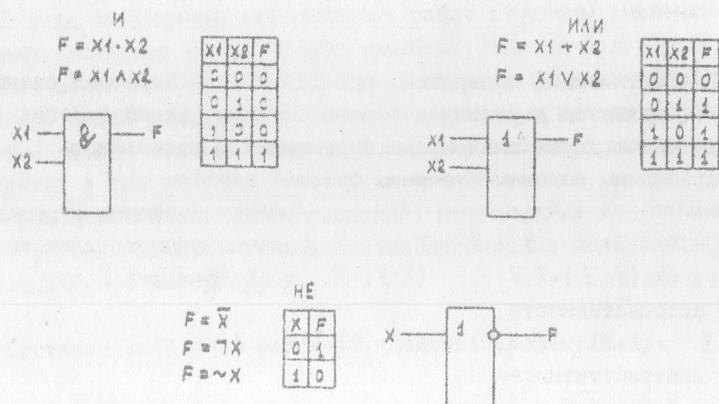


Рис. I.1. Обозначение некоторых логических элементов и их таблицы истинности

Кружок на выводе вентиля обозначает инверсию. Инверсия может быть осуществлена как на входе, так и на выводе логического элемента.

На практике чаще всего используются логические элементы, выполняющие операции И-НЕ и ИЛИ-НЕ, каждая из которых является универсальной (функционально полной), так как с ее помощью можно получить любые логические функции.

Для интегральных схем (ИС) малой и средней степени интеграции наиболее распространены ИС ТТЛ (транзисторно-транзисторной логики) семейства и КМОП (комплементарной МОП-логики) семейства.

ТТЛ ИС применяются там, где необходимо достаточно высокое быстродействие. Основные параметры ИС стандартной ТТЛ серии KI55 приведены ниже:

Напряжение питания, В	$5 \pm 0,25$
Напряжение логической 1, $U_{\text{вкл}}^1$, В, не менее	2,4
Напряжение логического 0, $U_{\text{откл}}^0$, В, не более	0,4
Входной ток в состоянии 1, $I_{\text{вх}}^1$, мА, не более	0,04
Входной ток в состоянии 0, $I_{\text{вх}}^0$, мА, не более	-1,6
Коэффициент разветвления по выходу Краз	10
Задержка при переходе из 1 в 0, $t_{\text{зап}}^{1,0}$, нс (при $C_{\text{н}} = 15$ пФ), не более	15
Задержка при переходе из 0 в 1, $t_{\text{зап}}^{0,1}$, нс (при $C_{\text{н}} = 15$ пФ), не более	22
Средняя потребляемая мощность, $P_{\text{пот}}$, мВт, не более	22
Методика определения $t_{\text{зап}}^{1,0}$ и $t_{\text{зап}}^{0,1}$	следует из рис. I.2.

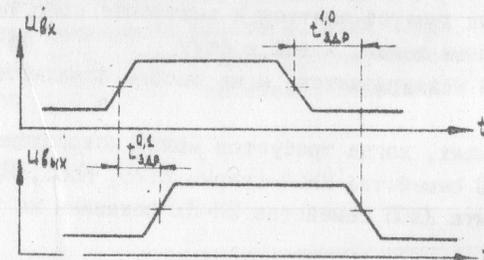


Рис. I.2 Входные и выходные сигналы неинвертирующего логического элемента

Иногда быстродействие схем характеризуют средним временем задержки $t_{\text{зап}} = 0,5(t_{\text{зап}}^{0,1} + t_{\text{зап}}^{1,0})$.

Принципиальная схема базового элемента 2И-НЕ серии KI55 показана на рис. I.3.

Входные сигналы подаются на эмиттеры многоэмиттерного транзистора (МЭТ) VT1. При высоких значениях X1 и X2 транзистор VT1 работает в инверсном режиме и его базовый ток течет в коллекторную цепь, насыщая VT2. При этом VT4 открыт, а VT3 - закрыт и на выходе логический 0. VD1 слу-

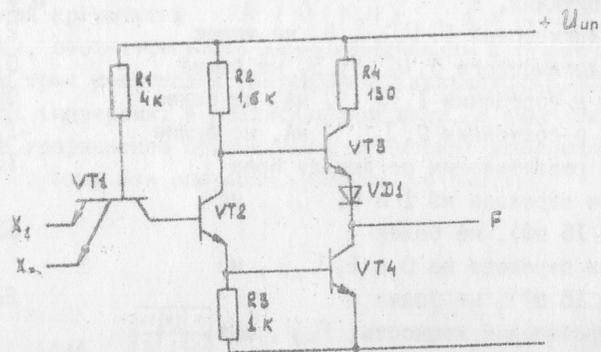


Рис.1.3 Схема базового логического элемента ТТЛ

жит для более надежного закрывания VT3 при открытых VT2 и VT4. Если один из входов имеет нулевой потенциал, то базовый ток VT1 течет через прямо смещенный переход база-эмиттер VT1, через эмиттер и внутреннее сопротивление источника сигнала на землю, и ток в базу VT2 не поступает. Поэтому VT2 закрывается, и на выходе появляется логическая 1.

В тех случаях, когда требуется малое потребление мощности, используются ИС семейства КМОП (серии К176, К561, К564). Схема базового элемента КМОП семейства 2И-НЕ показана на рис.1.4.

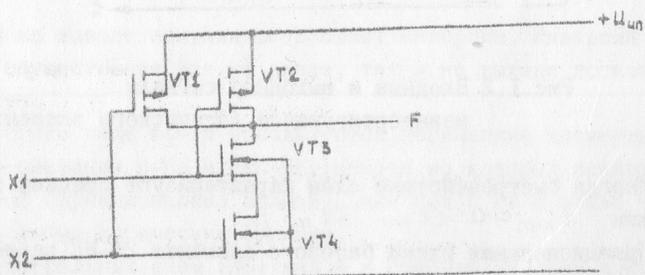


Рис.1.4 Схема базового вентиля КМОП семейства

При подаче на оба входа $U_{пит}$ р-канальные транзисторы VT1 и VT2 будут закрыты, а н-канальные VT3

и VT4 - открыты. Если на один из входов подать 0 (например, на X1), то р-канальный транзистор VT2 откроется, а VT3 - закроется и на выходе будет логическая 1. Для КМОП схем управление осуществляется потенциалом и внутреннее сопротивление источника сигнала практически не играет никакой роли.

Электрические параметры КМОП ИС широкого применения (серии К176, К561):

Напряжение питания, В, $U_{пит}$	$9 \pm 5\%$
Напряжение логической 1, $U_{вых}^1$, В, не менее	8,2
Напряжение логического 0, $U_{вх}^0$, В, не более	0,3
Входной ток в состоянии 1, $I_{вх}^1$, мкА, не более	0,1
Входной ток в состоянии 0, $I_{вх}^0$, мкА, не более	-0,1
Коэффициент разветвления по выходу $K_{раз}$	50
Задержка при переходе из 1 в 0, t_{340}^{10} , нс ($C_H = 50$ пФ), не более	250
Задержка при переходе из 0 в 1, t_{340}^{01} , нс ($C_H = 50$ пФ), не более	250
Потребляемый ток, $I_{пот}$, мкА, не более	0,3

Как видно, логические уровни ТТЛ и КМОП не совпадают. Поэтому при совместной работе ИС этих серий либо используют специальные ИС преобразования уровня, либо выполняют преобразование на транзисторе по схеме, показанной на рис.1.5.

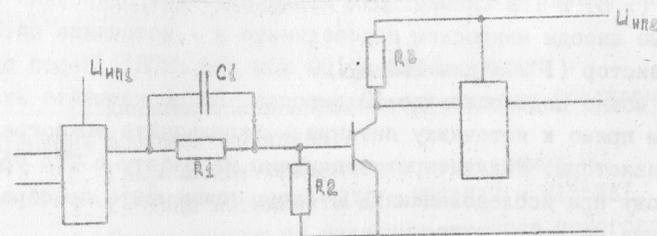


Рис.1.5 Схема согласования уровней

Конденсатор C1 служит для ускорения переключения. Резистор R2 может отсутствовать, что несколько снижает помехоустойчивость.

Задание для домашней подготовки

1. Изучите схемы и характеристики базовых элементов ТТЛ и КМОП семейств.

2. Ответьте на контрольные вопросы.

3. Изучите задание по работе и продумайте пути выполнения всех пунктов, составьте схемы измерений.

4. Необходимо упростить логические функции (используя теоремы булевой алгебры) и реализовать полученное выражение с минимальным числом элементов, используя только элементы 2И-НЕ или только элементы 2ИЛИ-НЕ. Номер Вашего задания равен Вашему номеру в лабораторном журнале. Первая подгруппа выполняет задания с помощью вентиля 2И-НЕ, вторая подгруппа - 2ИЛИ-НЕ. Нарисуйте полученную схему.

$$\begin{array}{ll} 1) F = (\overline{A+B}) \cdot A + \overline{A} \cdot B + A \cdot B & 8) F = A \cdot \overline{B} + A \cdot B + (\overline{A+B})(\overline{A+B}) + \overline{A}(C+D) \\ 2) F = (\overline{A+B}) + (\overline{A} \cdot B) & 9) F = (\overline{A+B}) \cdot (\overline{A+B}) \cdot (\overline{A+B}) \\ 3) F = (\overline{A} \cdot B) + (\overline{A} \cdot \overline{B}) + (A+B) + (\overline{A+B}) & 10) F = \overline{A} \cdot \overline{B} \cdot C + \overline{A} \cdot B \cdot C + (A+B+C) \\ 4) F = (\overline{A+B}) \cdot A + \overline{A} \cdot B + A \cdot \overline{B} & 11) F = (\overline{A+B}) + (A \cdot B + A \cdot \overline{B}) \\ 5) F = \overline{A} \cdot B + A \cdot \overline{B} + A \cdot B & 12) F = (\overline{A} \cdot B \cdot C \cdot D) + (A \cdot B \cdot C \cdot D) + (B \cdot C \cdot D) \\ 6) F = (A+B+C) \cdot B + (\overline{A} \cdot B) \cdot C & 13) F = \overline{A} \cdot B + \overline{A} \cdot \overline{B} + A \cdot C \\ 7) F = \overline{A} \cdot \overline{B} \cdot C + \overline{A} \cdot B \cdot C + A \cdot C \cdot D \end{array}$$

5. Сделайте заготовку отчета (титальный лист, схемы измерений, незаполненные таблицы и т.д.).

Методические указания

Сборку схем производите при выключенном питании. Следите за правильностью подключения питания к ИС. Не подключайте питание КМОП (9 В) к ТТЛ схемам. Для повышения быстродействия неиспользуемые выводы микросхем подсоедините к + источника питания через резистор (1 кОм для ТТЛ и 100 кОм для КМОП). Через один резистор можно подключать до 10 выводов. Не подключайте входы микросхем прямо к источнику питания - используйте токоограничивающие резисторы. Индикаторы рассчитаны на работу с ТТЛ уровнями, поэтому при исследовании КМОП схемы применяйте преобразователь уровня на транзисторе.

Задание по работе

1. Исследуйте 1 вентиль ИС К561ЛА7. Получите таблицу истинности.

2. Составьте и нарисуйте схему измерения входного порогового напряжения и выходных напряжений, соответствующих логичес-

кому 0 и 1. Измерьте эти напряжения для К561ЛА7 и результаты занесите в таблицу.

3. Получите таблицу истинности для одного вентиля К155ЛЕ1. Попробуйте подавать на вход 1 через резистор сопротивлением 1 кОм и 100 кОм. Объясните полученный результат.

4. Выполните пункт 2 для логического элемента ТТЛ.

5. Нарисуйте схему измерения динамических характеристик логических вентилях с помощью осциллографа.

6. Измерьте времена задержек при переходе из 1 в 0 и из 0 в 1 для ИС К155ЛЕ1, К555ЛА3, К531ЛА3, К561ЛА7. Занесите результаты в таблицу.

7. Составьте схемы измерения мощности, потребляемой одним корпусом интегральной схемы, в случаях:

- когда напряжение на выходах равно 1 ($P_{\text{пот}}^1$);
- когда напряжение на выходах равно 0 ($P_{\text{пот}}^0$);
- когда ИС работает в режиме переключений ($P_{\text{пот}}^{\text{дин}}$).

Для ИС серий 555 и 561 измерьте $P_{\text{пот}}^1$ и $P_{\text{пот}}^0$. Измерьте и постройте графики зависимости потребляемой одним корпусом мощности от частоты ($P_{\text{пот}}^{\text{дин}}$) в диапазоне 100 кГц - 1 МГц для микросхем 155, 555, 531 и 561 серий. Частоту контролируйте по осциллографу.

8. Соберите схему, полученную в домашнем задании, и получите ее таблицу истинности.

Факультативное задание

Экспериментально попытайтесь оценить Краз любого вентиля, используя имеющиеся в лабораторном макете компоненты.

Содержание отчета

- Аналитическое выражение и схемная реализация упрощенной функции домашнего задания.
- Графические обозначения исследуемых ИС.
- Таблицы истинности для К561ЛА7 и К155ЛЕ1.
- Схемы измерения величины входного порогового напряжения и выходных напряжений логических вентилях.
- Таблица значений входных пороговых и выходных напряжений для ТТЛ и КМОП схем.
- Схема измерения динамических характеристик логических вентилях и таблица значений времен задержек для ИС К155ЛЕ1, К555ЛА3, К531ЛА3, К561ЛА7.

7. Графики зависимости потребляемой мощности от частоты для ИС серий 155, 555, 531, 561 и значения $P_{пот}^L$, $P_{пот}^0$ для К561ЛА7, К555ЛА3.

8. Таблица истинности для функции в домашнем задании.

Контрольные вопросы

1. Обозначение логических операций и их таблицы истинности.
2. Основные теоремы булевой алгебры.
3. Схема и принцип действия базового элемента 2И-НЕ ТТЛ логики.
4. Схема и принцип действия базового элемента 2И-НЕ КМОП логики.
5. Назовите основные характеристики ТТЛ схем.
6. Перечислите основные характеристики КМОП схем.
7. Проведите сравнительный анализ ТТЛ и КМОП ИС.

Лабораторная работа № 2 ТРИГГЕРЫ

Цель работы

Триггеры относятся к цифровым схемам последовательностной логики, в которых значение сг. нала на входе схемы зависит как от значений входных сигналов, так и (в противоположность комбинационным) от состояния схемы в предыдущий момент.

Триггеры широко используются для построения регистров, счетчиков, схем памяти. В зависимости от способа управления триггером различают около 20 типов триггеров. В лабораторной работе изучаются три самых распространенных вида: RS - триггер, D - триггер и JK - триггер.

Общие сведения

Триггер представляет собой схему с двумя устойчивыми состояниями. Простейшим триггером является асинхронный RS - триггер, лежащий в основе почти всех остальных типов триггеров. Он может быть построен на двух вентилях 2И-НЕ или 2ИЛИ-НЕ, и его схема и обозначение показаны на рис.2.1.

Входы триггеров обозначаются буквами S и R, выходы - Q и \bar{Q} . Выходы триггера при всех допустимых комбинациях являются взаимно инверсными. Вход S устанавливает выход в состоянии 1, вход R - в 0. В зависимости от типа используемых вентилях - 2И-НЕ или 2ИЛИ-НЕ - на входы S и R подаются

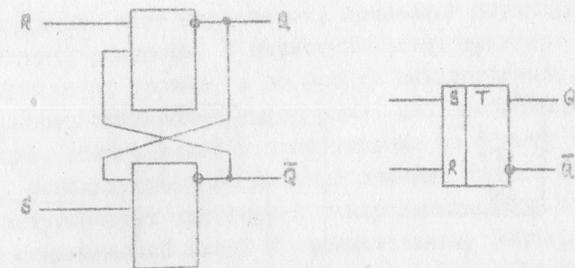


Рис.2.1 Простейший триггер

либо 1 либо 0, в последнем случае говорят, что входы являются инверсными. Входная комбинация $S = 1$ и $R = 1$ ($S = 0$ и $R = 0$ для триггера с инверсными входами) является запрещенной, так как выходное состояние будет неопределенным. Таблицы истинности для RS триггера с прямыми и инверсными входами показаны на рис. 2.2.

триггер с прямыми входами

триггер с инверсными входами

R	S	Q^{n+1}
0	0	Q^n
0	1	1
1	0	0
1	1	*

R	\bar{S}	Q^{n+1}
0	0	*
0	1	0
1	0	1
1	1	Q^n

* - Выходное состояние не определено

Рис.2.2 Таблицы истинности для RS - триггера

Здесь Q^n - предыдущее состояние триггера, Q^{n+1} - состояние после появления сигнала на каком-либо входе.

RS - триггеры широко применяются при подавлении дребезга механических контактов. Его работа в этом режиме иллюстрируется рис.2.3.

Для получения возможности управлять триггером в строго определенные интервалы времени используются синхронные триггеры. На рис.2.4 показан принцип построения синхронизируемого уровнем статического RS - триггера и его обозначение. Запись сигнала происходит (триггер открывается) только при наличии определенного потенциала на синхронизирующем входе S.

На базе RS - триггера можно реализовать триггер для

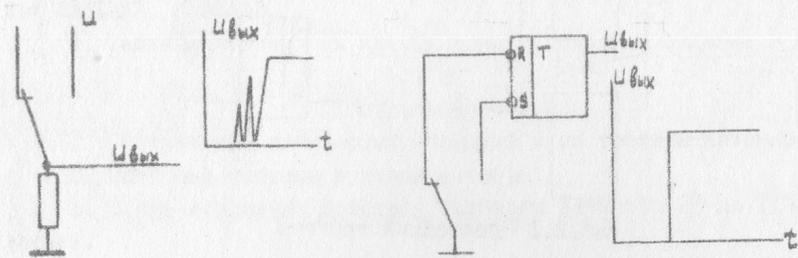


Рис.2.3 Подавление дребезга механических контактов

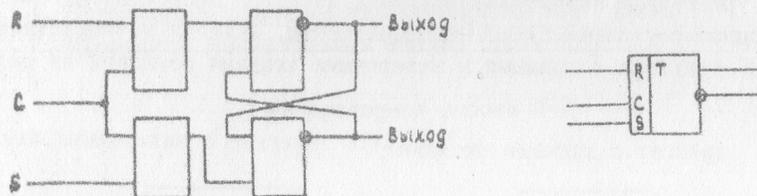


Рис.2.4 Синхронизируемый уровнем RS триггер

передачи и хранения информации - D - триггер. Он имеет информационный D - вход и для синхронных триггеров - вход синхронизации C. Из рис.2.5 ясен принцип получения синхронизируемого уровнем D - триггера из синхронизируемого уровнем RS - триггера.

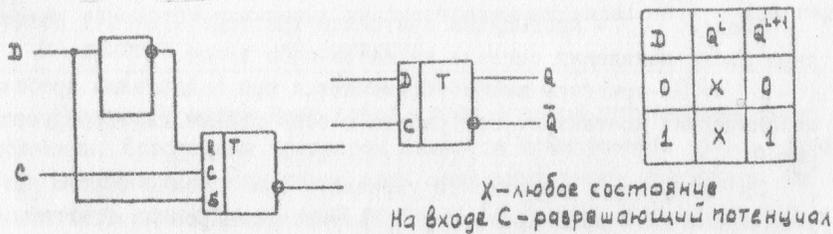


Рис.2.5 Синхронизируемый уровнем D - триггер

При работе с таким триггером возникают неудобства, связанные с тем, что во время считывания информации с выходов триггера могут изменяться входные сигналы, оказывая влияние на выход.

Чтобы устранить этот недостаток, применяют двухступенчатые (двухтактные) триггеры. В двухступенчатых триггерах возможна синхронизация не по уровню, а по фронту синхросигнала, что повышает достоверность считывания информации. Для обозначения входов синхронизации, обеспечивающих срабатывание по фронту (динамических входов), используются специальные значки. На рис.2.6 показаны два двухступенчатых триггера с синхронизацией по положительному (прямой динамический вход) и отрицательному (инверсный динамический вход) фронту. Символом ТТ обозначаются двухступенчатые триггеры.

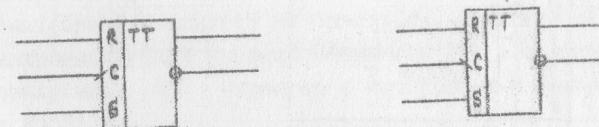


Рис.2.6 Обозначение триггеров с динамическими входами

Двухступенчатые RS - триггеры дают возможность получить наиболее распространенные триггеры типа D, JK и T (счетный триггер). Для этого RS - триггер нужно включить в схемы, показанным на рис.2.7. Часто в D, JK и T-триггерах для начальной установки и сброса применяют асинхронные RS входы.

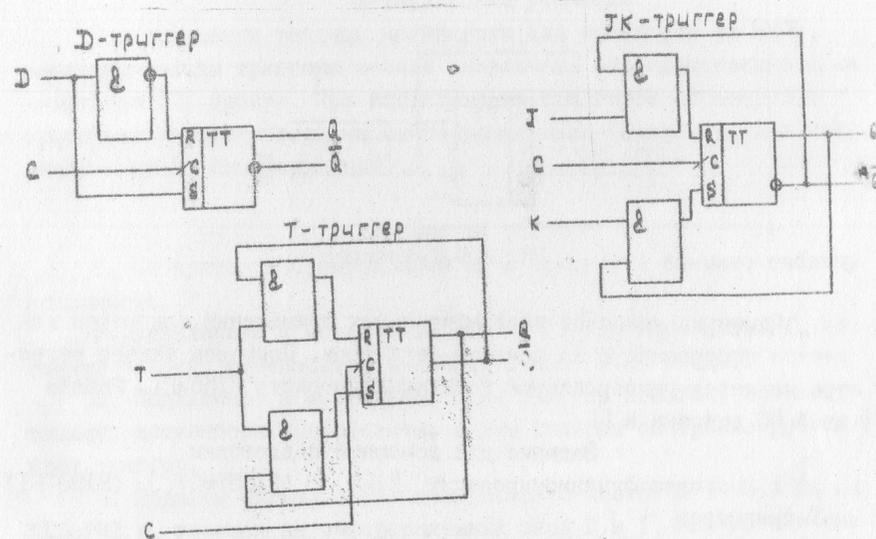


Рис.2.7 Различные типы триггеров

На рис.2.8 показана таблица истинности JK -триггера с динамической синхронизацией и асинхронными RS входами. Здесь же приведено графическое обозначение такого триггера.

№	R	S	J	K	Q'	Q	Примечания
1	1	1	X	X	X	X	Запрещенное состояние
2	0	1	X	X	0	0	Состояние определяется входами RS
3	1	0	X	X	1	1	
4	0	0	0	0	0	0	Выходные состояния не изменяются
5	0	0	0	0	1	1	
6	0	0	0	1	0	0	Выходной сигнал становится равным J
7	0	0	0	1	1	0	
8	0	0	1	0	0	1	
9	0	0	1	0	1	1	
10	0	0	1	1	0	1	Выходные состояния изменяются при каждом такте
11	0	0	1	1	1	0	

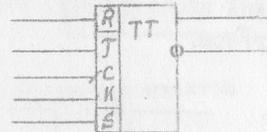


Рис.2.8 JK -триггер

Как следует из рис.2.7, строки 4,5,10 и 11 в таблице истинности описывают поведение T-триггера. T-триггер можно получить из D -триггера, используя схему, показанную на рис.2.9.

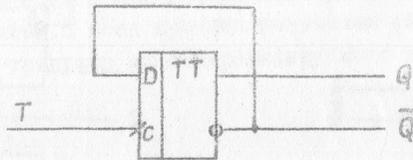


Рис.2.9 T-триггер

Одним из наиболее употребительных применений триггеров является построение с их помощью регистров. Примером такого регистра является универсальный сдвигающий регистр К155ИР1. Работа этой ИС описана в [2].

Задание для домашней подготовки

1. Изучите функционирование RS, D (К155ТМ2), JK (К155ТВ1) и T-триггеров

2. Ответьте на контрольные вопросы.

3. Ознакомьтесь с заданием по работе и продумайте пути его выполнения.

Контрольные вопросы.

4. Синтезируйте и нарисуйте графическое обозначение и принципиальные схемы следующих триггеров. Номер Вашего задания равен Вашему номеру в лабораторном журнале.

- 1) синхронизируемый уровнем RS -триггер на ИС К555ЛА3;
- 2) синхронизируемый уровнем RS -триггер на ИС К155ЛЕ1;
- 3) синхронизируемый уровнем RS -триггер на ИС К561ЛА7;
- 4) синхронизируемый по уровню D -триггер на ТТЛ вентилях 2И-НЕ;
- 5) синхронизируемый по уровню D -триггер на ИС К155ЛЕ1;
- 6) синхронизируемый по уровню D -триггер на ИС К561ЛА7;
- 7) синхронный D -триггер на базе JK -триггера К155ТВ1;
- 8) асинхронный T-триггер на базе JK -триггера К155ТВ1;
- 9) синхронизируемый уровнем T-триггер из JK -триггера К155ТВ1;
- 10) асинхронный RS -триггер с инверсными и прямыми входами на К55ЛА3;
- 11) асинхронный RS -триггер с инверсными и прямыми входами на К155ЛЕ1;
- 12) асинхронный RS -триггер с инверсными и прямыми входами на ИС К561ЛА7;
- 13) асинхронный T-триггер из JK -триггера К155ТМ2.

5. Сделайте заготовку отчета по лабораторной работе.

Методические указания

При получении таблицы истинности для триггеров на КМОП вентилях выходы триггера нельзя подключать непосредственно к индикаторам ТТЛ уровня. При исследовании триггеров используйте кнопочный переключатель на плате управления (например, для получения сигнала синхронизации).

Задание по работе

1. Соберите синтезированный вами триггер и снимите таблицу истинности.

2. Подключите и исследуйте ИС JK -триггера К155ТВ1, составьте таблицу истинности (включите в нее RS входы).

3. Подключите и исследуйте один триггер К155ТМ2, составьте таблицу истинности. Определите, каким фронтом синхронизируется этот триггер.

4. Подайте сигнал с ТТЛ генератора с частотой ~ 0,2 Гц на К155ТМ2 и, подавая на информационный вход 0 и 1, наблюдайте сиг-

налы на выходе триггера. Постройте временную диаграмму напряжений на входах D и C и выходах Q и \bar{Q} .

Факультативное задание

1. Соберите схему, позволяющие проверить работу ИС KI55IP1 в режиме записи параллельной информации, сдвига вправо и сдвига влево.

2. Разработайте и соберите схему, которая позволила бы получить с помощью KI55IP1 и индикаторов ТЛ бегущую вправо светящуюся точку, управляемую от кнопки.

Содержание отчета

1. Графическое обозначение ИС KI55TV1 и KI55TM2 и нумерация их выводов.
2. Принципиальная схема, условные обозначения и таблицы истинности синтезированного Вами триггера.
3. Схема для снятия таблицы истинности JK-триггера KI55TV1 и его таблица истинности.
4. Схема для получения таблицы истинности D-триггера KI55TM2 и его таблица истинности.
5. Методика определения перепада синхросигнала, по которому происходит синхронизация в ИС KI55TM2.

Контрольные вопросы

1. Схема, принцип действия и таблица истинности асинхронного RS-триггера на вентилях 2И-НЕ и 2ИЛИ-НЕ.
2. Схема, принцип действия и таблица истинности синхронизируемого уровнем RS-триггера.
3. Объясните, как подавляется дребезг контактов при помощи RS-триггера. Как нужно подключать триггер с прямыми и инверсными входами?
4. Нарисуйте схему и объясните работу D-триггера с синхронизацией по уровню.
5. В чем заключается отличие одноступенчатых и двухступенчатых триггеров?
6. Как получить из двухступенчатого RS-триггера JK, D и T-триггер?
7. Запишите таблицу истинности JK-триггера с инверсными асинхронными входами сброса и установки.
8. Опишите функционирование ИС KI55IP1.

Лабораторная работа № 3 СЧЕТЧИКИ, МУЛЬТИПЛЕКСОРЫ, ДЕШИФРАТОРЫ

Цель работы

Среди цифровых схем, используемых в электронных устройствах, большое распространение получили счетчики, мультиплексоры и дешифраторы, изучению которых и посвящена эта лабораторная работа.

Общие сведения

Счетчик служит для подсчета числа сигналов (импульсов), поступающих на его вход, и фиксации этого числа на выходе в виде какого-либо кода. Реализуются счетчики обычно на триггерах (регистрах).

Примером простейшего счетчика до 2 может служить T-триггер. Счетчики, выполняющие операции типа $A=A+1$ (A - двоичное число, записанное в счетчике), являются суммирующими, а выполняющие операции $A=A-1$ - вычитающими. Если счетчик выполняет обе операции, то он называется реверсивным. К важной характеристике счетчиков относится модуль счета K - максимальное число импульсов, которое может сосчитать счетчик. Значение K определяется числом устойчивых состояний, зависящих от числа разрядов (триггеров), содержащихся в счетчике. Для m -разрядного счетчика $K \leq 2^m$. Если после поступления K -импульсов счетчик возвращается в исходное состояние, то он называется счетчиком с насыщением. В этом случае счетчик может работать как делитель частоты входного сигнала с коэффициентом деления $\leq K$.

По внутренней структуре счетчики делятся на асинхронные (последовательные) и синхронные (параллельные). Асинхронный счетчик можно представить в виде цепочки триггеров, входами которых служат выходы предыдущих триггеров. Входной сигнал поступает только на вход первого триггера. Поскольку состояние выхода счетчика изменится только после того, как сигнал пройдет через всю цепочку триггеров, быстродействие асинхронных счетчиков невелико. В синхронных счетчиках входной (тактовый) импульс поступает на входы синхронизации сразу всех триггеров, а дополнительная логика обеспечивает нужную последовательность переключения триггеров. Этим достигается высокое быстродействие параллельных счетчиков.

Рассмотрим 4-разрядный двоичный реверсивный синхронный счетчик KI55IE7 (рис.3.1).

$$F_{2^n-1} = X_n X_{n-1} \dots X_2 X_1$$

В лабораторной работе будет изучаться дешифратор "I из I6" KI55ИДЗ. Его условное графическое обозначение показано на рис. 3.4.

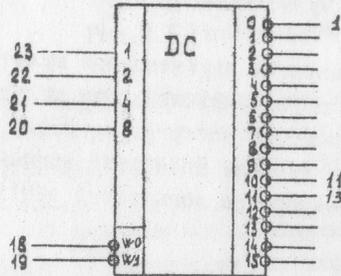


Рис.3.4 Дешифратор I из I6

Здесь выходы пронумерованы от 0 до I5 (выводы ИС I-II, I3-I7), входной сигнал подается на выводы 20-23. Стробирующие входы W0 и W1 позволяют наращивать разрядность дешифратора и использовать его в качестве демultipлексора. Для наращивания разрядности используется несколько ИС KI55ИДЗ, причем сигнал стробирования, вырабатываемый дополнительным дешифратором, подается только на ту ИС, которая работает с данной группой разрядов, затем стробирующий сигнал "закрывает" эту ИС и "открывает" следующую ИС в соответствии с сигналами дополнительного дешифратора. Демultipлексор организуется просто подачей сигнала на один из стробирующих входов. В этом случае при I на стробирующем входе дешифратор отключен и на выбранном выходе оказывается I, когда на стробирующем входе 0, дешифратор подключается и на выбранном выходе появляется 0. Использование мультимплексора и демultipлексора дает возможность преобразовать параллельную информацию в последовательную, передать ее по однопроводной линии и снова восстановить в параллельном формате.

Задание для домашней подготовки

1. Изучите принципы работы и характеристики счетчиков (KI55ИЕ7), мультимплексоров и дешифраторов (в т.ч. KI55ИДЗ) [I, 2].
2. Ответьте на контрольные вопросы.
3. Изучите задание по работе и обдумайте пути его выполнения.
4. Из имеющихся на макете ТТЛ вентилях (2 корпуса 2И-НЕ и I корпус 2ИИ-НЕ) синтезируйте мультимплексор 2-I. Нарисуйте

принципиальную схему. Продумайте, как наиболее эффективно продемонстрировать работу мультимплексора, используя имеющиеся на макете элементы.

5. На основе ИС KI55ТМ2 постройте делитель частоты следования импульсов на 4 (используйте Д-триггер в качестве Т-триггера). Нарисуйте временные зависимости сигналов на входах и выходах триггеров.

6. Сделайте заготовку отчета, куда внесите полученные схемы и графики.

Методические указания

Для запуска счетчика в однократном режиме используйте кнопочный переключатель, но не забывайте о дребезге контактов.

Задание по работе

I. Соберите мультимплексор 2-I. Проверьте работу этого мультимплексора и составьте таблицу истинности. Для проверки работоспособности в качестве источников сигналов используйте низкочастотные ТТЛ генераторы.

2. Соберите делитель частоты на 4 на ИС KI55ТМ2. Проверьте правильность построенных Вами временных зависимостей.

3. Подключите ИС KI55ИЕ7 и запустите ее в режиме суммирования и вычитания. Работу контролируйте по состоянию выходов с помощью ТТЛ индикаторов. Постройте таблицы истинности для прямого и обратного счета в режиме ручного запуска (от кнопки).

4. Используя предварительную запись числа в счетчик, реализуйте счетчик по модулю I6 - N с управлением от кнопки, где N - Ваш порядковый номер в лабораторном журнале.

5. Включите дешифратор KI55ИДЗ и постройте его таблицу истинности. Сигнал на адресные входы дешифратора подавайте с выходов ИС KI55ИЕ7.

6. Включите дешифратор в качестве демultipлексора. Используйте ТТЛ генератор от I до I0 Гц как источник сигнала, а генератор 0,2 2 Гц - для управления переключением дешифратора. Нарисуйте принципиальную схему.

Содержание отчета

1. Принципиальная схема мультимплексора 2-I и его таблица истинности.
2. Принципиальная схема делителя на 4 ИС KI55ТМ2 и графики

изменения напряжения на входах и выходах.

3. Таблицы истинности счетчика KI55IE7 в режиме прямого и обратного счета.

4. Принципиальная схема счетчика по модулю (16 - N) на базе KI55IE7.

5. Таблица истинности дешифратора KI55ИД3.

6. Принципиальная схема включения KI55ИД3 в качестве де-мультиплексора.

Контрольные вопросы

1. Для чего служат счетчики? Виды счетчиков, наращивание разрядности счетчиков, обозначение счетчиков.

2. Нарисуйте схему делителя на 8 на Д-триггерах и нарисуйте эпюры напряжений на входе схемы и на выходах элементов.

3. Что такое мультиплексор? Логическое уравнение, описывающее работу мультиплексора. Условное графическое изображение.

4. Нарисуйте схему мультиплексора 2-и и объясните его работу.

5. Объясните назначение дешифратора. Какими логическими уравнениями описывается его работа? Условное графическое изображение.

6. Нарисуйте схему дешифратора 1 из 2, построенного на логических вентилях и объясните его работу.

7. Как с помощью счетчика и дешифратора создать схему, циклически включающую 16 объектов?

ЛИТЕРАТУРА

1. Алексеенко А.Г., Шагурин И.И. Микросхемотехника.-М.: Сов.радио, 1982.-300с.

2. Вернер В.Д., Воробьев Н.В., Горячев А.В., Фролов Г.И., Шишкевич А.А. Средства сопряжения. Контролирующие и информационно-управляющие системы //Микропроцессоры. Кн.2 /Под ред.Л.Н. Преснухина.-М.: Высшая школа, 1986.-384с.

ЭЛЕКТРОННЫЕ ЦЕПИ И УСТРОЙСТВА. ЦИФРОВАЯ СХЕМОТЕХНИКА

Составил В.К. Макуха

Редактор И.Л.Кескевич
Техн.редактор Н.Н.Пахтусова
Корректор Л.Н.Ветчакова

Подписано в печать 2 ноября 1987 г. Формат 84 x 60 x 1/16.
Бумага оберточная. Тираж 300 экз. Усл.-печ.л.1,3. Уч.-изд.л.1,4
Изд. № 790. Заказ № 802 Бесплатно

Отпечатано на учетке оперативной полиграфии
Новосибирского электротехнического института
630092, г.Новосибирск, пр.К.Маркса,20